

PUB-NO: DE004014831A1

DOCUMENT-IDENTIFIER: DE 4014831 A1

TITLE: Undervoltage protected circuit - comprises non-volatile memory, microprocessor and undervoltage detector, thus enables more rapid return to functionality

PUBN-DATE: December 12, 1991

INVENTOR-INFORMATION:

NAME	COUNTRY
NETH, ALOIS DIPL ING	DE

ASSIGNEE-INFORMATION:

NAME	COUNTRY
STANDARD ELEKTRIK LORENZ AG	DE

APPL-NO: DE04014831

APPL-DATE: May 9, 1990

PRIORITY-DATA: DE04014831A (May 9, 1990)

INT-CL (IPC): G06F001/30, G06F012/16

EUR-CL (EPC): G06F001/30 ; G06F011/00

ABSTRACT:

The circuit with undervoltage protection contains a non-volatile memory (NS), a microprocessor (uP) and an undervoltage detector (UD). The microprocessor is reset by the detector if a supply voltage below a threshold is detected. An undervoltage signal (US) applied to the memory input via a signal extender (T1) causes write protection. The undervoltage detector output

is also connected to a microprocessor hold input (P1). It is passed to the reset input (P2) only if it exceeds a defined minimum pulse duration.

USE/ADVANTAGE - For multiplexer in data transmission system. Returns to operational state more rapidly after supply voltage returns above undervoltage threshold than with conventional undervoltage protection.



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 40 14 831 A 1

⑤① Int. Cl.⁵:
G 06 F 12/16
G 06 F 1/30

②① Aktenzeichen: P 40 14 831.9
②② Anmeldetag: 9. 5. 90
②③ Offenlegungstag: 12. 12. 91

DE 40 14 831 A 1

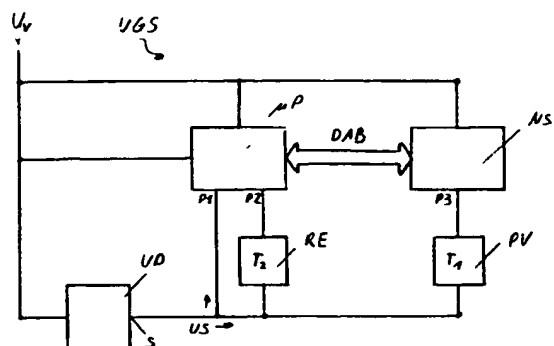
⑦① Anmelder:
Standard Elektrik Lorenz AG, 7000 Stuttgart, DE

⑦② Erfinder:
Neth, Alois, Dipl.-Ing. (FH), 7141 Ludwigsburg, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Unterspannungsgeschützte Schaltungsanordnung

⑤⑦ Mit der unterspannungsgeschützten Schaltungsanordnung (UGS) soll ein fälschliches Beschreiben eines nichtflüchtigen Speichers (NS) durch einen Mikroprozessor (uP) aufgrund einer anliegenden Unterspannung verhindert werden. Dies soll erstens solange der Mikroprozessor (uP) und der nichtflüchtige Speicher (NS) an einer Versorgungsspannung (U_V) anliegen, deren Wert einen vorgegebenen Schwellwert (U_S) unterschreitet, und zweitens, solange die zuverlässige Funktionssicherheit des Mikroprozessors (uP) nach wieder intakten Spannungsversorgungen nicht gewährleistet ist, geschehen. Sobald eine Unterspannung anliegt, wird der Mikroprozessor (uP) in den Holdzustand versetzt und der nichtflüchtige Speicher (NS) mit einer Schreibsperre versehen. Dauert die Unterspannung länger an (T_2), wird der Mikroprozessor zusätzlich in den Resetzustand versetzt. Die Schreibsperre wird erst nach Wiederanliegen der normalen Versorgungsspannung zuzüglich einer Verlängerungszeit (T_1) aufgehoben. Die unterspannungsgeschützte Schaltungsanordnung findet ihre Anwendung vorzugsweise in einem Multiplexgerät eines Nachrichtenübertragungssystems.



DE 40 14 831 A 1

Beschreibung

Die Erfindung betrifft eine unterspannungsgeschützte Schaltungsanordnung mit einem Mikroprozessor, einem nichtflüchtigen Speicher und einem Unterspannungsdetektor gemäß dem Oberbegriff des Anspruchs 1.

Von Mikroprozessoren verarbeitete Daten werden je nach Art der Daten in flüchtigen oder nichtflüchtigen externen Speichern abgespeichert. Bei einer Funktionsstörung des Mikroprozessors ist es dabei besonders wichtig, die nichtflüchtigen Speicher vor dem Beschreiben mit fehlerhaften Daten, oder Daten mit fehlerhaften Adressen zu schützen.

Eine Ursache für die Funktionsstörung eines Mikroprozessors ist das Anliegen einer zu niedrigen Versorgungsspannung. Bei fallender Versorgungsspannung verliert zuerst der Mikroprozessor und dann der nichtflüchtige Speicher seine volle Funktionsfähigkeit. Dies hat zur Folge, daß der Mikroprozessor bei zu niedriger Versorgungsspannung zwar noch arbeiten kann, aber gegebenenfalls fehlerhafte Daten in den nichtflüchtigen Speicher schreibt und/oder an die falschen Speicherplätze adressiert.

Aus der DE-OS 34 17 825 ist eine unterspannungsgeschützte Schaltungsanordnung bekannt, bei der der Mikroprozessor über einen Unterspannungsdetektor in den Resetzustand versetzt wird, nachdem die Versorgungsspannung unter einen bestimmten Schwellwert gefallen ist. Der Resetzustand wird nach Überschreiten dieses Schwellwertes verzögert aufgehoben. Die Freigabe des Datenausganges des Mikroprozessors erfolgt somit erst nach dieser Verzögerung, dadurch ist gewährleistet, daß der interne Oszillator des Mikroprozessors schon angeschwungen ist und verschiedene Speicher schon gesetzt sind.

Nachteilig bei der bekannten Anordnung ist, daß der Mikroprozessor bei jeder detektierten Unterspannung in den Resetzustand versetzt wird und die Freigabe des Mikroprozessors in jedem Fall nur verzögert erfolgt.

Der Erfindung liegt die Aufgabe zugrunde, eine unterspannungsgeschützte Schaltungsanordnung mit einem Mikroprozessor und einem nichtflüchtigen Speicher zu schaffen, bei der nach wieder Überschreiten des Schwellwertes der Versorgungsspannung die Schaltungsanordnung schneller, insbesondere bei nur kurzzeitig anliegenden Unterspannungen, in den voll funktionsfähigen Zustand gebracht werden kann.

Diese Aufgabe wird bei einer gattungsgemäßen Anordnung durch die Merkmale des Anspruchs 1 gelöst.

Weitere Ausgestaltungen der Erfindung sind den übrigen Ansprüchen und dem folgenden Teil der Beschreibung zu entnehmen.

Ein Ausführungsbeispiel der Erfindung wird anhand zweier Figuren erläutert und im folgenden beschrieben. Es zeigen:

Fig. 1 eine schematische Abbildung der erfindungsgemäßen Schaltungsanordnung und

Fig. 2A bis 2E die Funktion der Schaltungsanordnung beschreibende Ablaufdiagramme.

Die in Fig. 1 abgebildete unterspannungsgeschützte Schaltungsanordnung UGS besteht aus einem Mikroprozessor uP, einem nichtflüchtigen Speicher NS, einem Unterspannungsdetektor UD, einer Vorrichtung zur Verlängerung eines anliegenden Unterspannungssignales, um eine Verlängerungszeit T_1 , im folgenden Pulsverlängerung PV genannt, und einer Vorrichtung, die nur Unterspannungssignale mit einer minimalen Puls-

dauer T_2 und von denen nur den nach der minimalen Pulsdauer T_2 anliegenden Teil durchläßt, im folgenden Resetentscheider RE genannt.

Der Mikroprozessor uP, der nichtflüchtige Speicher NS und der Unterspannungsdetektor UD liegen an derselben Stromversorgung U_v an. Der Mikroprozessor uP ist über einen Daten- und Adressbus DAB mit dem nichtflüchtigen Speicher NS verbunden. Der Mikroprozessor uP weist einen Hold- und einen Reseteingang P1, P2 auf, dabei ist der Holdeingang P1 direkt und der Reseteingang P2 über den Resetentscheider RE mit dem Ausgang S des Unterspannungsdetektors UD verbunden. Der nichtflüchtige Speicher NS ist mit einem Schreibsperrereingang P3 versehen, der über die Pulsverlängerung PV mit dem Ausgang S des Unterspannungsdetektors UD verbunden ist.

Der Mikroprozessor uP kann (nicht abgebildet) mit weiteren Speichern, vorzugsweise flüchtigen Speichern (RAMs), über den Daten- und Adressbus DAM verbunden sein. Am Schreibsperrereingang P3 des nichtflüchtigen Speichers NS können auch weitere (nicht abgebildet) Anschlüsse anliegen, über die aus anderen Gründen eine Schreibsperrung bewirkt werden kann.

Die unterspannungsgeschützte Schaltungsanordnung UGS soll ein Beschreiben des nichtflüchtigen Speichers NS verhindern, erstens, solange der Mikroprozessor uP und der nichtflüchtige Speicher NS mit einer Versorgungsspannung U_v unter einem vorgegebenen Schwellwert U_S versorgt werden, und zweitens, solange die zuverlässige Funktionssicherheit des Mikroprozessors uP nach wiederintakter Spannungsversorgung nicht gewährleistet ist. Sobald eine Unterspannung anliegt, wird der Mikroprozessor uP in den Holdzustand versetzt und der nichtflüchtige Speicher NS mit einer Schreibsperrung versehen. Dauert die Unterspannung länger an, wird der Mikroprozessor uP zusätzlich in den Resetzustand versetzt. Die Schreibsperrung wird erst nach Wiederanliegen der normalen Versorgungsspannung zuzüglich der Verlängerungszeit T_1 aufgehoben, nachdem die volle Funktionsfähigkeit des Mikroprozessors uP wieder gewährleistet ist.

Vorzugsweise geeignet ist diese unterspannungsgeschützte Schaltungsanordnung für die Verwendung in einem Multiplexergerät mit PCM-Kanälen eines Nachrichtenübertragungssystems, in dem der Mikroprozessor uP zusätzlich zu der Verbindung mit dem nichtflüchtigen Speicher NS, und mit anderen flüchtigen Speichern verbunden ist. Im nichtflüchtigen Speicher NS werden z. B. die Darstellung der Systemkonfiguration, wie Kanalbelegung und Dämpfung gespeichert, wohingegen in den flüchtigen Speichern sich ständig ändernde Daten, wie z. B. die Signalisierung, gespeichert werden.

Die Erfindung gewährleistet einen hohen Schutz des nichtflüchtigen Speichers vor falscher Beschreibung, läßt bei einer kurzen Unterspannung, bei der der Resetzustand nicht herbeigeführt wird, ein schnelles Beschreiben der flüchtigen Speicher zu. Der Mikroprozessor uP wird andererseits nach einer länger andauernden Unterspannung sehr schnell in einen definierten Ausgangszustand gebracht. Anhand der in den Fig. 2a bis 2f abgebildeten Ablaufdiagramme wird die Funktion der unterspannungsgeschützten Schaltungsanordnung im folgenden beschrieben:

In Fig. 2a ist die Versorgungsspannung U_v über die Zeit t aufgetragen, die zu einem Zeitpunkt t_0 einen Schwellwert U_S unterschreitet und nach einem Zeitpunkt t_2 wieder überschreitet. Der Schwellwert U_S ist derart bestimmt, daß bei sinkender Versorgungsspan-

nung der Mikroprozessor uP und der nichtflüchtige Speicher NS bei Erreichen des Schwellwertes noch voll funktionsfähig sind. Der Unterspannungsdetektor UD liefert bei Unterschreiten des Schwellwertes U_s , wie in Fig. 2b abgebildet, vom Zeitpunkt t_0 bis t_2 ein Unterspannungssignal US. Das Unterspannungssignal US liegt dann ab t_0 am Holdeingang P1 des Mikroprozessors uP (Fig. 2c) an, wodurch der Mikroprozessor uP ab dem Zeitpunkt t_0 in den Holdzustand versetzt wird. Solange das Unterspannungssignal US anliegt, d. h. bis t_2 , bleibt der Holdzustand beibehalten. Der Resetentscheider RE verzögert (Fig. 2d) das Anliegen des Unterspannungssignals US an P1 um die minimale Pulsdauer T_2 , wodurch der Mikroprozessor uP erst zum Zeitpunkt t_1 in den Resetzustand versetzt wird, der bis zum Zeitpunkt t_2 , d. h. bis zum Wegfall des Unterspannungssignals US beibehalten wird. Liegt das Unterspannungssignal US kürzer als die minimale Pulsdauer T_2 an (nicht abgebildet) wird der Mikroprozessor uP nur in den Holdzustand, nicht aber in den Resetzustand versetzt.

Ab dem Zeitpunkt t_0 liegt das Unterspannungssignal US am Schreibsperrereingang P3 des nichtflüchtigen Speichers NS bis zum Zeitpunkt t_2 an, das durch die Pulsverlängerung PV um die Pulsdauer T_1 verlängert wird (Fig. 2e), so daß das Unterspannungssignal US bis zum Zeitpunkt t_3 am Schreibsperrereingang 3 anliegt.

Ab dem Zeitpunkt t_3 sind alle durch die anliegende Unterspannung ausgelösten Maßnahmen wieder aufgehoben.

Das Anliegen des Unterspannungssignals US am Holdeingang P1 des Mikroprozessors uP bewirkt, daß dieser seinen Arbeitszyklus unterbricht und, sobald das Unterspannungssignal US nicht mehr anliegt an derselben Stelle weiterarbeitet. Ein solches Funktionsmerkmal eines Mikroprozessors ist dem Fachmann bekannt und wird daher nicht näher erläutert.

Das Anliegen des Unterspannungssignals US am Reseteingang P2 bewirkt, daß der Mikroprozessor uP auf einen definierten Beginn eines Arbeitszyklus zurückgesetzt wird. Es ist dabei von Vorteil, einen Hardware-Reseteingang und nicht einen Software-Reseteingang zu belegen, da die Funktionsfähigkeit eines Software-Reseteinganges bei zu niedriger Versorgungsspannung U_v nicht gewährleistet ist.

Beim nichtflüchtigen Speicher NS verhindert das Anliegen des Unterspannungssignals US am Schreibsperrereingang R3, solange es dort anliegt, das Beschreiben des nichtflüchtigen Speichers NS.

Die minimale Pulsdauer T_2 ist kürzer gewählt als die Übertragungszeit des kürzesten Nutzsignals. Hierdurch wird gewährleistet, daß keine falschen Befehle abgespeichert werden können. Bei Übertragungen von Signalisierungen in den flüchtigen Speicher würde dies eine Pulsdauer von etwa 5 ms ergeben. Ist der Mikroprozessor uP nur mit der Verarbeitung von Konfigurationsdaten beschäftigt, kann die Pulsdauer T_2 bis etwa 100 ms betragen.

Die Länge der Verlängerungszeit T_1 richtet sich nach der Einschwingzeit des Mikroprozessors uP, die er benötigt, um wieder voll funktionsfähig zu sein. Die Verlängerungszeit T_1 beträgt z. B. $T > 0,1$ ms. Als flüchtige Speicher werden vorzugsweise RAMs und als nichtflüchtige Speicher EEPROMs oder gepufferte RAMs verwendet. Die Realisierung der Pulsverlängerung PV und der Resetentscheider RE ist dem Fachmann bekannt. Der Pulsverlängerer PV kann z. B. dadurch realisiert werden, daß aus der Rückflanke des Unterspannungssignals US ein Referenzparallelimpuls mit vorge-

gebener Länge generiert und mit einem verzögerten Unterspannungssignal auf ein Oder-Gatter geführt wird.

Der Resetentscheider RE kann ähnlich realisiert werden, indem aus der Vorflanke des Unterspannungssignals US ein Referenzimpuls mit vorgegebener Länge generiert und parallel mit einem verzögerten Unterspannungsimpuls auf ein exklusives Oder-Gatter geführt wird.

Es besteht auch die Möglichkeit, als Unterspannungssignal ein gegenüber dem Unterspannungssignal US (Fig. 25) invertiertes Signal zu verwenden. Dies würde bedeuten, daß am Unterspannungsdetektor z. B. ein unterspannungsanzeigender Impuls anliegt, solange der Wert der Unterspannung über dem Schwellwert U_s liegt und hätte einen besseren Schutz bei totalem Spannungsausfall zur Folge.

Patentansprüche

1. Unterspannungsgeschützte Schaltungsanordnung mit einem nichtflüchtigen Speicher, einem Mikroprozessor und einem Unterspannungsdetektor,

– bei der eine Datenleitung zwischen dem Mikroprozessor und dem nichtflüchtigen Speicher angeordnet ist, über die Daten vom Mikroprozessor in den nichtflüchtigen Speicher geschrieben werden,

– bei der der Ausgang des Unterspannungsdetektors bei Vorliegen einer unter einem bestimmten Schwellwert liegenden Versorgungsspanner ein Unterspannungssignal anliegt,

– bei der der Unterspannungsdetektor mit einem Reset-Eingang des Mikroprozessors verbunden ist, und bei Anliegen eines Unterspannungssignales der Mikroprozessor in den Resetzustand versetzt wird,

dadurch gekennzeichnet,

– daß der Ausgang (S) des Unterspannungsdetektors (UD) mit dem Eingang (P3) des nichtflüchtigen Speichers (NS) verbunden ist und ein an diesem Eingang (P3) anliegendes Unterspannungssignal (US) einen Schreibschutz bewirkt,

– daß zwischen dem Unterspannungsdetektor (UD) und dem nichtflüchtigen Speicher (NS) eine Vorrichtung zur Verlängerung des Unterspannungssignals um eine Verlängerungszeit (T_1) angeordnet ist,

– daß der Ausgang (S) des Unterspannungsdetektors (UD) mit einem Holdeingang (P1) des Mikroprozessors (uP) verbunden ist und der Mikroprozessor (uP) bei Anliegen eines Unterspannungssignals (US) in den Holdzustand versetzt wird, und

– daß zwischen dem Ausgang (S) des Unterspannungsdetektors (UD) und dem Reseteingang (R2) des Mikroprozessors (uP) eine Vorrichtung (RE) angeordnet ist, durch die ein anliegendes Unterspannungssignal (US) erst ab einer minimalen Pulsdauer (T_2) und auch nur der nach dieser minimalen Pulsdauer (T_2) anliegende Teil des Unterspannungssignals (US) weitergeleitet wird.

2. Unterspannungsgeschützte Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die minimale Pulsdauer (T_2) kleiner als die

Dauer zur Übertragung des kürzesten Nutzsymbols ist.

3. Unterspannungsgeschützte Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß der Mikroprozessor (uP) mit weiteren Speichern verbunden ist, unter denen auch flüchtige Speicher sein können.

4. Unterspannungsgeschützte Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Verlängerungszeit (T_1) größer ist als die Zeit, die ein Mikroprozessor (uP) benötigt, um bei wiederanliegender Versorgungsspannung über dem Schwellwert in einen voll funktionsfähigen Zustand zu gelangen.

5. Unterspannungsgeschützte Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der nichtflüchtige Speicher ein EEPROM ist.

6. Unterspannungsgeschützte Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der nichtflüchtige Speicher ein gepuffertes RAM ist.

Hierzu 2 Seite(n) Zeichnungen

25

30

35

40

45

50

55

60

65

